

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-51022

(P2016-51022A)

(43) 公開日 平成28年4月11日(2016.4.11)

(51) Int.Cl.	F I	テーマコード (参考)
G02B 23/24 (2006.01)	G02B 23/24 B	2H040
A61B 1/04 (2006.01)	A61B 1/04 372	4C161
H01L 27/146 (2006.01)	A61B 1/04 362 J	4M118
H01L 21/822 (2006.01)	H01L 27/14 A	5C024
H01L 27/04 (2006.01)	H01L 27/04 V	5F038

審査請求 未請求 請求項の数 7 O L (全 12 頁) 最終頁に続く

(21) 出願番号	特願2014-175680 (P2014-175680)	(71) 出願人	000000376
(22) 出願日	平成26年8月29日 (2014. 8. 29)		オリンパス株式会社
			東京都渋谷区幡ヶ谷2丁目43番2号
		(74) 代理人	100089118
			弁理士 酒井 宏明
		(72) 発明者	足立 理
			東京都渋谷区幡ヶ谷2丁目43番2号 オリンパスメディカルシステムズ株式会社内
		Fターム(参考)	2H040 DA12 GA02 GA06
			4C161 AA00 BB00 CC06 DD03 FF45
			GG01 JJ06 JJ15 LL02 NN03
			NN05 SS18 UU09
			4M118 AA10 AB01 CA01 FA06 HA22
			5C024 AX01 BX02 CX03 GY31 HX01
			HX40 HX44 HX47
			5F038 AR21 AV01 BB05

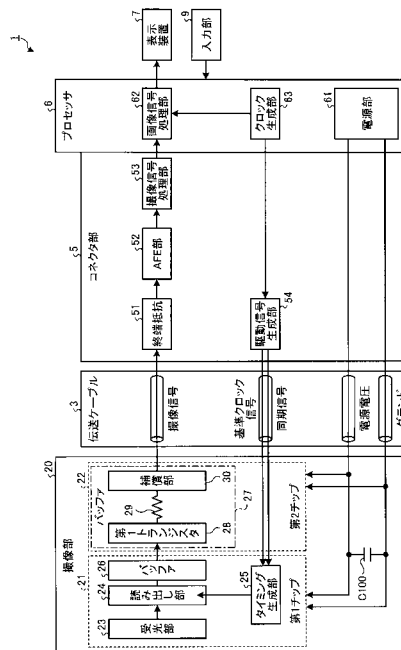
(54) 【発明の名称】 撮像素子、撮像装置、内視鏡および内視鏡システム

(57) 【要約】

【課題】インピーダンス整合用の抵抗の製造毎のばらつきを補償することができる撮像素子、撮像装置、内視鏡および内視鏡システムを提供する。

【解決手段】撮像部20は、撮像信号が入力されるゲートを有する第1トランジスタ28と、一端側が第1トランジスタ28の出力端に直列に接続された第1抵抗29と、第1抵抗29の他端側に直列に接続され、第1抵抗29の抵抗値の変動を補償して撮像信号を外部へ出力する補償部30と、を備える。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

二次元マトリクス状に配置され、外部から光を受光し、受光量に応じた撮像信号を生成して出力する複数の画素の各々から出力される前記撮像信号を一時的に保持して外部へ転送するバッファチップを有する撮像素子において、

前記撮像信号が入力されるゲートを有する第 1 トランジスタと、

一端側が前記第 1 トランジスタの出力端に接続された第 1 抵抗と、

前記第 1 抵抗の他端側と直列に接続され、前記第 1 抵抗の抵抗値の変動を補償して前記撮像信号を外部へ出力する補償部と、

を備えたことを特徴とする撮像素子。

10

【請求項 2】

前記補償部は、

前記第 1 抵抗の他端側が直列に接続された入端部と、前記撮像信号を外部へ伝播する伝送ケーブルが接続された出力端と、を有する第 2 トランジスタと、

電源電圧が接続された入力端と、前記第 2 トランジスタのゲートが接続された出力端と、を有する第 3 トランジスタと、

グランドと前記第 3 トランジスタの出力端との間に接続された第 2 抵抗と、

電源電圧とグランドとの間に直列に接続された第 3 抵抗および第 4 抵抗を有し、分圧された出力電圧を前記第 3 トランジスタのゲートに印加する分圧回路と、

を有することを特徴とする請求項 1 に記載の撮像素子。

20

【請求項 3】

前記第 1 抵抗および前記第 2 抵抗は、前記バッファチップ上に形成されていることを特徴とする請求項 2 に記載の撮像素子。

【請求項 4】

前記第 1 抵抗および前記第 2 抵抗は、同じ半導体プロセスによって形成されていることを特徴とする請求項 2 または 3 に記載の撮像素子。

【請求項 5】

請求項 1 ~ 4 のいずれか一つに記載の撮像素子を備えたことを特徴とする撮像装置。

【請求項 6】

請求項 5 に記載の撮像装置を、挿入部の先端側に備えることを特徴とする内視鏡。

30

【請求項 7】

請求項 6 に記載の内視鏡と、

前記撮像信号を画像信号に変換する処理装置と、

を備えたことを特徴とする内視鏡システム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、被写体を撮像して該被写体の画像データを生成する撮像素子、撮像装置、内視鏡および内視鏡システムに関する。

【背景技術】

40

【0002】

従来、CCD (Charge Coupled Device) や CMOS (Complementary Metal Oxide Semiconductor) 等の撮像素子において、トランジスタの出力端にインピーダンスマッチング用の抵抗を直列に接続したバッファ回路によって撮像素子の信号電圧を増幅して外部へ出力する技術が知られている (特許文献 1 参照)。

【先行技術文献】**【特許文献】****【0003】**

【特許文献 1】特開平 6 - 1 4 1 2 0 1 号公報

【発明の概要】

50

【発明が解決しようとする課題】**【0004】**

しかしながら、上述した特許文献1では、インピーダンスマッチング用の抵抗の抵抗値が製造毎にばらつくことによって、トランジスタの出力インピーダンスが変動するという問題点があった。

【0005】

本発明は、上記に鑑みてなされたものであって、トランジスタの出力インピーダンスを安定化することができる撮像素子、撮像装置、内視鏡および内視鏡システムを提供することを目的とする。

【課題を解決するための手段】

10

【0006】

上述した課題を解決し、目的を達成するために、本発明に係る撮像素子は、二次元マトリクス状に配置され、外部から光を受光し、受光量に応じた撮像信号を生成して出力する複数の画素の各々から出力される前記撮像信号を外部へ転送するバッファチップを有する撮像素子において、前記撮像信号が入力されるゲートを有する第1トランジスタと、一端側が前記第1トランジスタの出力端に接続された第1抵抗と、前記第1抵抗の他端側と直列に接続され、前記第1抵抗の抵抗値の変動を補償して前記撮像信号を外部へ出力する補償部と、を備えたことを特徴とする。

【0007】

また、本発明に係る撮像素子は、上記発明において、前記補償部は、前記第1抵抗の他端側が直列に接続された入力端と、前記撮像信号を外部へ伝播する伝送ケーブルが接続された出力端と、を有する第2トランジスタと、電源電圧が接続された入力端と、前記第2トランジスタのゲートが接続された出力端と、を有する第3トランジスタと、グランドと前記第3トランジスタの出力端との間に接続された第2抵抗と、電源電圧とグランドとの間に直列に接続された第3抵抗および第4抵抗を有し、分圧された出力電圧を前記第3トランジスタのゲートに印加する分圧回路と、を有することを特徴とする。

20

【0008】

また、本発明に係る撮像素子は、上記発明において、前記第1抵抗および前記第2抵抗は、前記バッファチップ上に形成されていることを特徴とする。

【0009】

30

また、本発明に係る撮像素子は、上記発明において、前記第1抵抗および前記第2抵抗は、同じ半導体プロセスによって形成されていることを特徴とする。

【0010】

また、本発明に係る撮像素子は、上記発明において、前記第1抵抗および前記第2抵抗は、前記第1抵抗および前記第2トランジスタの前記チャンネル抵抗からなるインピーダンス抵抗の変動を補償することを特徴とする。

【0011】

また、本発明に係る撮像装置は、上記の撮像素子を備えたことを特徴とする。

【0012】

また、本発明に係る内視鏡は、上記の撮像装置を、挿入部の先端側に備えることを特徴とする。

40

【0013】

また、本発明に係る内視鏡システムは、上記の内視鏡と、前記撮像信号を画像信号に変換する処理装置と、を備えたことを特徴とする。

【発明の効果】**【0014】**

本発明によれば、インピーダンスマッチング抵抗の抵抗値のばらつきを補償することができるという効果を奏する。

【図面の簡単な説明】**【0015】**

50

【図 1】図 1 は、本発明の一実施の形態に係る内視鏡システムの全体構成を模式的に示す図である。

【図 2】図 2 は、本発明の一実施の形態に係る内視鏡システムの要部の機能を示すブロック図である。

【図 3】図 3 は、図 2 に示す第 2 チップの詳細な構成およびコネクタ部の要部の構成を示す回路図である。

【図 4】図 4 は、図 3 に示す第 1 抵抗の配置を示す平面図である。

【図 5】図 5 は、図 3 に示す第 2 抵抗の配置を示す平面図である。

【図 6】図 6 は、図 3 に示す第 2 トランジスタの配置を示す平面図である。

【図 7】図 7 は、図 3 に示す第 3 トランジスタの配置を示す平面図である。

10

【発明を実施するための形態】

【0016】

以下、本発明を実施するための形態（以下、「実施の形態」という）として、撮像素子を備えた内視鏡システムについて説明する。また、この実施の形態により、本発明が限定されるものではない。さらに、図面の記載において、同一の部分には同一の符号を付している。さらにまた、図面は、模式的なものであり、各部材の厚みと幅との関係、各部材の比率等は、現実と異なることに留意する必要がある。また、図面の相互間においても、互いの寸法や比率が異なる部分が含まれている。

【0017】

〔内視鏡システムの構成〕

20

図 1 は、本発明の一実施の形態に係る内視鏡システムの全体構成を模式的に示す図である。図 1 に示す内視鏡システム 1 は、内視鏡 2（撮像装置）と、伝送ケーブル 3 と、コネクタ部 5 と、プロセッサ 6（処理装置）と、表示装置 7 と、光源装置 8 と、入力部 9 と、を備える。

【0018】

内視鏡 2 は、伝送ケーブル 3 の一部である挿入部 100 を被検体の体腔内に挿入することによって被検体の体内画像を撮像して撮像信号（画像データ）をプロセッサ 6 へ出力する。また、内視鏡 2 は、伝送ケーブル 3 の一端側であり、被検体の体腔内に挿入される挿入部 100 の先端 101 側に、体内画像の撮像を行う撮像部 20（撮像装置）が設けられ、挿入部 100 の基端 102 側に、内視鏡 2 に対する各種操作を受け付ける操作部 4 が接続される。撮像部 20 は、伝送ケーブル 3 により、操作部 4 を介してコネクタ部 5 に接続される。撮像部 20 が撮像した画像の撮像信号は、例えば、数 m の長さを有する伝送ケーブル 3 を通り、コネクタ部 5 に出力される。なお、本実施の形態では、内視鏡 2 が撮像装置として機能する。

30

【0019】

伝送ケーブル 3 は、内視鏡 2 とコネクタ部 5 とを接続するとともに、内視鏡 2 と光源装置 8 とを接続する。また、伝送ケーブル 3 は、撮像部 20 が生成した撮像信号をコネクタ部 5 に伝播する。

【0020】

コネクタ部 5 は、内視鏡 2、プロセッサ 6 および光源装置 8 に接続され、接続された内視鏡 2 が出力する撮像信号に所定の信号処理を施すとともに、撮像信号をアナログデジタル変換（A/D 変換）して画像信号としてプロセッサ 6 へ出力する。

40

【0021】

プロセッサ 6 は、コネクタ部 5 から出力される画像信号に所定の画像処理を施すとともに、内視鏡システム 1 全体を統括的に制御する。なお、本実施の形態 1 では、プロセッサ 6 が処理装置として機能する。

【0022】

表示装置 7 は、プロセッサ 6 が画像処理を施した画像信号に対応する画像を表示する。また、表示装置 7 は、内視鏡システム 1 に関する各種情報を表示する。表示装置 7 は、液晶や有機 EL（Electro Luminescence）等の表示パネル等を用いて構成される。

50

【 0 0 2 3 】

光源装置 8 は、例えばハロゲンランプや白色 L E D (Light Emitting Diode) 等を用いて構成され、コネクタ部 5、伝送ケーブル 3 を経由して内視鏡 2 の挿入部 1 0 0 の先端側から被写体へ向けて照明光を照射する。

【 0 0 2 4 】

入力部 9 は、例えばキーボードやマウス等を用いて構成され、内視鏡システム 1 の各種の操作の情報の入力を受け付ける。例えば、入力部 9 は、内視鏡 2 が撮像する撮像信号の増幅 (ゲインアップ) や光源装置 8 の光量を指示する指示信号の入力を受け付ける。

【 0 0 2 5 】

図 2 は、内視鏡システム 1 の要部の機能を示すブロック図である。図 2 を参照して、内視鏡システム 1 の各部構成の詳細および内視鏡システム 1 内の電気信号の経路について説明する。図 2 に示すように、撮像部 2 0 は、第 1 チップ 2 1 (撮像素子) と、第 2 チップ 2 2 と、を有する。

10

【 0 0 2 6 】

第 1 チップ 2 1 は、二次元マトリクス状に配置され、受光量に応じた撮像信号を生成して出力する複数の画素を有する受光部 2 3 と、受光部 2 3 で光電変換された撮像信号を読み出す読み出し部 2 4 と、コネクタ部 5 から入力される基準クロック信号および同期信号に基づきタイミング信号を生成して読み出し部 2 4 に出力するタイミング生成部 2 5 と、読み出し部 2 4 が受光部 2 3 から読み出した撮像信号を一時的に保持するバッファ 2 6 と、を有する。

20

【 0 0 2 7 】

第 2 チップ 2 2 は、第 1 チップ 2 1 から出力される複数の画素の各々から出力される撮像信号を外部へ転送するバッファ 2 7 を備える。バッファ 2 7 は、第 1 チップ 2 1 からの撮像信号がゲートに入力される第 1 トランジスタ 2 8 と、一端側が第 1 トランジスタ 2 8 の出力端に直列に接続され、伝送ケーブル 3 に対するインピーダンス整合用の第 1 抵抗 2 9 と、第 1 抵抗 2 9 の他端側に直列に接続され、第 1 抵抗 2 9 の抵抗値のばらつきを補償して撮像信号を外部へ出力する補償部 3 0 と、を有する。なお、第 2 チップ 2 2 のより詳細な構成について、図 3 を参照して後述する。

【 0 0 2 8 】

また、撮像部 2 0 は、伝送ケーブル 3 を介してプロセッサ 6 内の電源部 6 1 で生成された電源電圧 V D D をグランド (G N D) とともに受け取る。撮像部 2 0 に供給される電源電圧 V D D とグランド (G N D) との間には、電源安定用のコンデンサ C 1 0 0 が設けられている。

30

【 0 0 2 9 】

コネクタ部 5 は、内視鏡 2 (撮像部 2 0) とプロセッサ 6 とを電気的に接続し、電気信号を中継する中継処理部として機能する。コネクタ部 5 と撮像部 2 0 は、伝送ケーブル 3 で接続され、コネクタ部 5 とプロセッサ 6 とは、コイルケーブルにより撮像される。また、コネクタ部 5 は、光源装置 8 にも接続されている。コネクタ部 5 は、終端抵抗 5 1 と、アナログ・フロント・エンド部 5 2 (以下、「A F E 部 5 2」という) と、撮像信号処理部 5 3 と、駆動信号生成部 5 4 と、制御部 5 5 と、を有する。

40

【 0 0 3 0 】

終端抵抗 5 1 は、伝送ケーブル 3 の終端に設けられる。なお、終端抵抗 5 1 のより詳細な構成について、図 3 を参照して後述する。

【 0 0 3 1 】

A F E 部 5 2 は、撮像部 2 0 から伝送された撮像信号を受信し、抵抗などの受動素子でインピーダンスマッチングを行った後、コンデンサで交流成分をとりだし、分圧回路で動作点を決定する。A F E 部 5 2 は、撮像部 2 0 から伝送されたアナログの撮像信号を A / D 変換を行ってデジタルの撮像信号として撮像信号処理部 5 3 へ出力する。

【 0 0 3 2 】

撮像信号処理部 5 3 は、A F E 部 5 2 から入力されるデジタルの撮像信号に対して、縦

50

ライン除去やノイズ除去等の所定の信号処理を行ってプロセッサ 6 へ出力する。撮像信号処理部 5 3 は、例えば F P G A (Field Programmable Gate Array) を用いて構成される。

【0033】

駆動信号生成部 5 4 は、プロセッサ 6 から供給され、内視鏡 2 の各構成部の動作の基準となる基準クロック信号 (例えば、27MHz のクロック信号) に基づいて、各フレームのスタート位置を表す同期信号を生成して、基準クロック信号とともに、伝送ケーブル 3 を介して撮像部 2 0 のタイミング生成部 2 5 へ出力する。ここで、駆動信号生成部 5 4 が生成する同期信号は、水平同期信号と垂直同期信号とを含む。

【0034】

プロセッサ 6 は、内視鏡システム 1 の全体を統括的に制御する制御装置である。プロセッサ 6 は、電源部 6 1 と、画像信号処理部 6 2 と、クロック生成部 6 3 と、を備える。

【0035】

電源部 6 1 は、電源電圧 V D D を生成し、この生成した電源電圧 V D D をグランド (G N D) とともに、コネクタ部 5 および伝送ケーブル 3 を介して、撮像部 2 0 に供給する。

【0036】

画像信号処理部 6 2 は、撮像信号処理部 5 3 で信号処理が施されたデジタルの撮像信号に対して、同時化处理、ホワイトバランス (W B) 調整処理、ゲイン調整処理、ガンマ補正処理、デジタルアナログ (D / A) 変換処理、フォーマット変換処理等の画像処理を行って画像信号に変換し、この画像信号を表示装置 7 へ出力する。

【0037】

クロック生成部 6 3 は、内視鏡システム 1 の各構成部の動作の基準となる基準クロックを生成し、この基準クロック信号を A F E 部 5 2、撮像信号処理部 5 3、駆動信号生成部 5 4 へ出力する。

【0038】

〔第 2 チップおよび終端抵抗の構成〕

次に、上述した第 2 チップ 2 2 の詳細な構成およびコネクタ部 5 の要部の詳細な構成について説明する。図 3 は、図 2 に示す第 2 チップ 2 2 の詳細な構成およびコネクタ部 5 の要部の構成を示す回路図である。

【0039】

図 3 に示すように、第 2 チップ 2 2 は、バッファ 2 7 を備える。バッファ 2 7 は、第 1 トランジスタ 2 8 と、第 1 抵抗 2 9 と、補償部 3 0 と、を有する。

【0040】

第 1 トランジスタ 2 8 は、N M O S を用いて構成され、電源電圧 V D D が接続された入力端と、第 1 抵抗 2 9 の一端側が直列に接続された出力端と、第 1 チップから入力される撮像信号 (V i n) を供給する信号線が接続されたゲートと、を有する。具体的には、第 1 トランジスタ 2 8 は、入力端 (ドレイン側) に電源電圧 V D D が接続され、出力端 (ソース側) に第 1 抵抗 2 9 の一端側が直列に接続され、ゲートには第 1 チップ 2 1 から入力される撮像信号 (V i n) を供給する信号線が接続される。

【0041】

第 1 抵抗 2 9 は、一端側が第 1 トランジスタ 2 8 の出力端 (ソース側) に直列に接続され、他端側が後述する補償部 3 0 の第 2 トランジスタ 3 0 3 の入力端 (ドレイン側) に直列に接続される。具体的には、第 1 抵抗 2 9 は、第 1 トランジスタ 2 8 の出力端 (ソース側) と第 2 トランジスタ 3 0 3 の入力端 (ドレイン側) との間に直列に接続される。また、第 1 抵抗 2 9 は、図 4 に示すように、複数の抵抗体 2 9 1 が並列に接続された状態で、第 1 トランジスタ 2 8 の出力端 (ソース側) と第 2 トランジスタ 3 0 3 の入力端 (ドレイン側) との間に直列に接続される。

【0042】

補償部 3 0 は、第 1 抵抗 2 9 の他端側と直列に接続され、第 1 抵抗 2 9 の抵抗値の変動を補償して伝送ケーブル 3 へ出力する。補償部 3 0 は、第 2 抵抗 3 0 1 と、分圧回路 3 0

10

20

30

40

50

2 と、第 2 トランジスタ 303 と、第 3 トランジスタ 304 と、を有する。

【0043】

第 2 抵抗 301 は、第 2 トランジスタ 303 のゲートと第 3 トランジスタ 304 の出力端との間に一端側が接続され、他端側がグランドに接続される。具体的には、第 2 抵抗 301 は、図 5 に示すように、抵抗体 301a が第 2 トランジスタ 303 のゲートと第 3 トランジスタ 304 の出力端との間に一端側が接続され、他端側がグランドに接続される。第 2 抵抗 301 および第 1 抵抗 29 は、少なくとも同じ半導体プロセスおよび同じサイズによって形成される。ここで、同じ半導体プロセスとは、同じ工程、例えば素子分離形成、抵抗素子形成、配線形成および製造タイミングが同じ条件で形成されたものである。例えば、第 2 抵抗 301 および第 1 抵抗 29 は、同じ半導体プロセスによって形成されることにより、同じ抵抗特性を有する。また、第 2 抵抗 301 および第 1 抵抗 29 は、同じパツファ 27 上（パツファチップ上）に形成される。なお、第 1 抵抗 29 と第 2 抵抗 301 それぞれの抵抗体の数は、適宜変更することができる。

10

【0044】

分圧回路 302 は、電源電圧 V_{DD} とグランドとの間に直列に接続された第 3 抵抗 302a および第 4 抵抗 302b を有し、分圧された出力電圧 V_{bias2} を第 3 トランジスタ 304 のゲートに印加する。具体的には、分圧回路 302 は、分圧された出力電圧 V_{bias2} を伝播する信号線（接続部）が第 3 トランジスタ 304 のゲートに接続される。また、第 3 抵抗 302a および第 4 抵抗 302b は、第 2 抵抗 301 および第 1 抵抗 29 と同様に、同じ半導体プロセスおよび同じサイズによって形成されてもよい。

20

【0045】

第 2 トランジスタ 303 は、複数の NMOS を用いて構成され、第 1 抵抗 29 の他端側が直列に接続された入力端と、撮像信号を外部へ伝播する伝送ケーブル 3 が接続された出力端と、を有する。具体的には、第 2 トランジスタ 303 は、入力端（ドレイン側）に第 1 抵抗 29 の他端側が直列に接続され、出力端（ソース側）に撮像信号 V_{out} を外部へ伝播する伝送ケーブル 3 が接続され、ゲートには第 3 トランジスタ 304 から入力される出力電圧 V_{bias1} を伝播する信号線が接続される。具体的には、図 6 に示すように、第 2 トランジスタ 303 は、複数の NMOS 303a を用いて構成され、入力端 303b に第 1 抵抗 29 を介して入力される電圧 V_d を伝播する信号線が接続され、出力端 303c に撮像信号 V_{out} を外部へ伝播する伝送ケーブル 3 が接続され、ゲート 303d には第 3 トランジスタ 304 から入力される出力電圧 V_{bias1} を伝播する信号線が接続される。また、第 2 トランジスタ 303 は、ゲート電位の変化によってチャンネル抵抗が変化する。

30

【0046】

第 3 トランジスタ 304 は、NMOS トランジスタを用いて構成され、入力端（ドレイン側）に電源電圧 V_{DD} が接続され、出力側に第 2 トランジスタ 303 のゲートが接続され、第 2 トランジスタ 303 のゲート電位を制御する。また、第 3 トランジスタ 304 は、図 7 に示すように、1 つの NMOS トランジスタ 304a を用いて構成され、入力端 304b が電源電圧 V_{DD} に接続され、出力端 304c が第 2 トランジスタ 303 のゲートおよび第 2 抵抗 301 に接続され、ゲート 304d には分圧回路 302 から分圧された出力電圧 V_{bias2} を伝播する信号線が接続される。また、第 3 トランジスタ 304 および第 2 トランジスタ 303 は、同じ半導体プロセスによって形成される。

40

【0047】

コネクタ部 5 は、少なくとも、交流終端抵抗 501 と、直流終端抵抗 502 と、直流カットコンデンサ 503 と、を有する。

【0048】

このように構成された第 2 チップ 22 は、第 1 抵抗 29 の抵抗値が通常より小さい場合、第 2 抵抗 301 の抵抗値も小さくなるため、第 2 トランジスタ 303 のゲートに入力される出力電圧 V_{bias1} が小さくなり、第 2 トランジスタ 303 のチャンネル抵抗が大きくなる。これにより、第 1 抵抗 29 と第 2 トランジスタ 303 とで構成されるマッチン

50

グ抵抗は、互いにキャンセルするので、第 1 抵抗 29 の変動を補償することができる。

【0049】

これに対して、第 1 抵抗 29 の抵抗値が通常より大きい場合、第 2 抵抗 301 の抵抗値も大きくなるため、第 2 トランジスタ 303 のゲートに入力される出力電圧 V_{bias1} も大きくなり、第 2 トランジスタ 303 のチャンネル抵抗が小さくなる。これにより、第 1 抵抗 29 と第 2 トランジスタ 303 とで構成されるマッチング抵抗は、互いにキャンセルするので、第 1 抵抗 29 の変動を補償することができる。

【0050】

以上説明した本実施の一形態によれば、補償部 30 が第 1 抵抗 29 の抵抗値に基づいて、第 1 抵抗 29 のばらつきを補償するので、第 1 トランジスタ 28 の出力インピーダンスを安定化することができる。

10

【0051】

また、本実施の一形態によれば、第 2 抵抗 301、分圧回路 302、第 2 トランジスタ 303 および第 3 トランジスタ 304 を設け、第 1 抵抗 29 の抵抗値に基づいて、第 2 トランジスタ 303 のチャンネル抵抗を変更することによって、第 1 抵抗 29 と第 2 トランジスタ 303 とで構成されるインピーダンスマッチング抵抗が互いにキャンセルするので、半導体形成プロセス（抵抗素子形成プロセス）における第 1 抵抗 29 の個体差のばらつきを補償することができる。

【0052】

また、本実施の一形態によれば、第 1 抵抗 29 および第 2 抵抗 301 を同じバッファ 27 上に形成することによって、別個のディスクリートの抵抗チップを撮像部 20 内に設けなくてよいので、撮像部 20（撮像素子）の小型化を行うことができる。

20

【0053】

また、本実施の一形態によれば、第 1 抵抗 29 および第 2 抵抗 301 を同じ半導体プロセス（抵抗素子形成プロセス）によって形成することによって、同じ抵抗特性を有するので、第 2 抵抗 301 によって第 1 抵抗 29 のばらつきを補償することができる。

【0054】

また、本実施の一形態によれば、第 1 抵抗 29 および第 2 抵抗 301 は、第 1 抵抗 29 および第 2 トランジスタ 303 のチャンネル抵抗からなるインピーダンス抵抗の変動を補償するので、出力インピーダンスを安定化することができる。

30

【0055】

また、本実施の一形態によれば、撮像部 20 の温度上昇に伴って、第 1 抵抗 29 の抵抗値が変動した場合であっても、第 2 抵抗 301 も第 1 抵抗 29 と同様に抵抗値が変化することによって、第 2 トランジスタ 303 のチャンネル抵抗を変更するので、トランジスタの出力インピーダンスを安定化することができる。

【0056】

（その他の実施の形態）

上述した本実施の形態では、各トランジスタを NMOS で構成していたが、例えば PMOS を用いて構成してもよい。

【0057】

このように、本発明は、ここでは記載していない様々な実施の形態を含みうるものであり、特許請求の範囲によって特定される技術的思想の範囲内で種々の設計変更等を行うことが可能である。

40

【符号の説明】

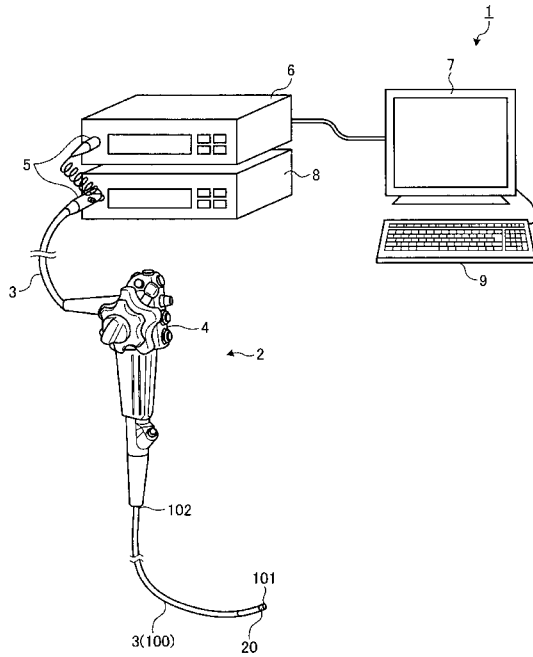
【0058】

- 1 内視鏡システム
- 2 内視鏡
- 3 伝送ケーブル
- 4 操作部
- 5 コネクタ部

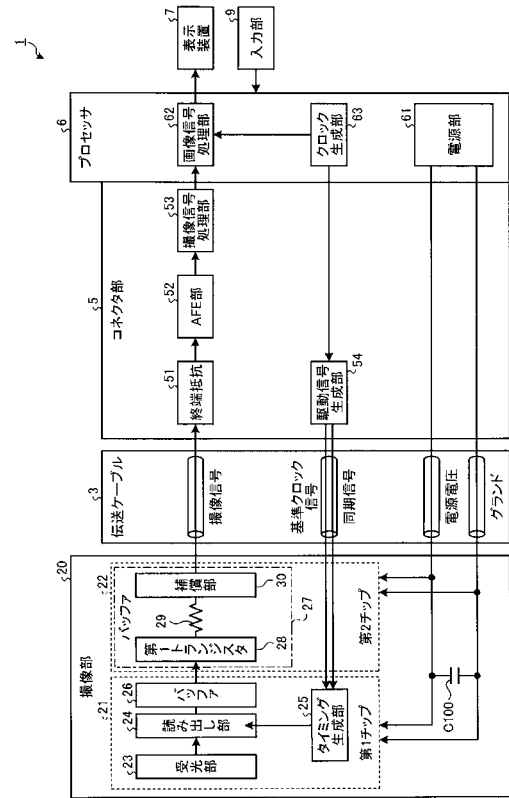
50

6	プロセッサ	
7	表示装置	
8	光源装置	
9	入力部	
20	撮像部	
21	第1チップ	
22	第2チップ	
23	受光部	
24	読み出し部	
25	タイミング生成部	10
26, 27	バッファ	
28	第1トランジスタ	
29	第1抵抗	
30	補償部	
51	終端抵抗	
52	A F E 部	
53	撮像信号処理部	
54	駆動信号生成部	
61	電源部	
62	画像信号処理部	20
63	クロック生成部	
301	第2抵抗	
302	分圧回路	
302a	第3抵抗	
302b	第4抵抗	
303	第2トランジスタ	
304	第3トランジスタ	
501	交流終端抵抗	
502	直流終端抵抗	
503	直流カットコンデンサ	30

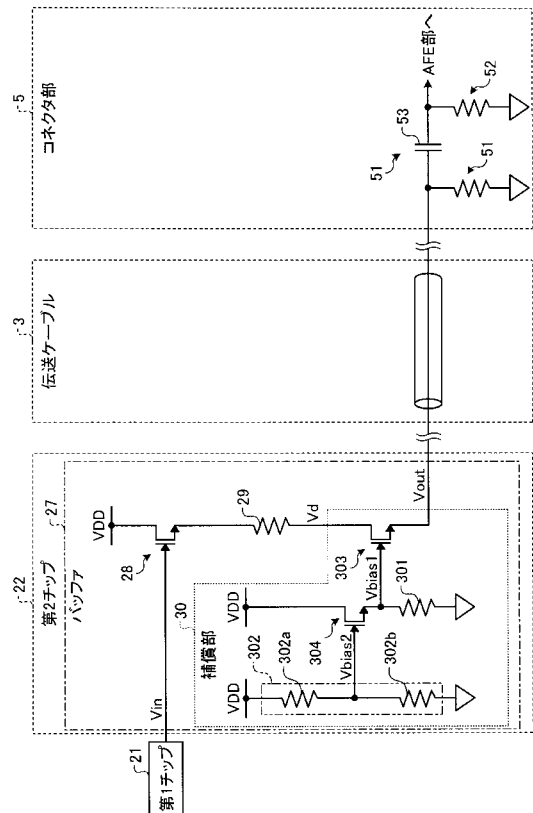
【図 1】



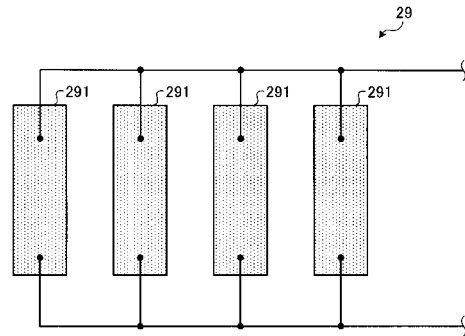
【図 2】



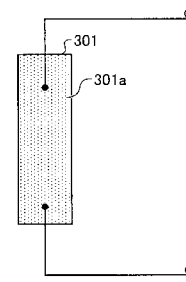
【図 3】



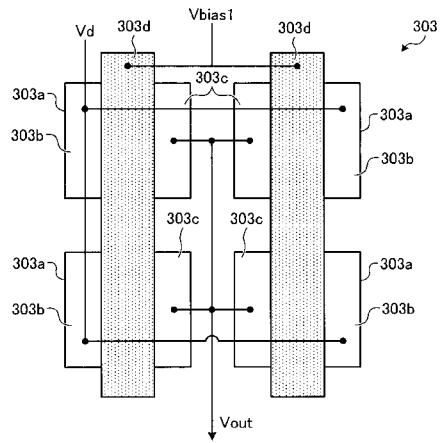
【図 4】



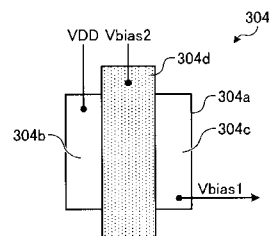
【図 5】



【 図 6 】



【 図 7 】



フロントページの続き

(51) Int. Cl.

H 0 4 N 5/369 (2011.01)

F I

H 0 4 N 5/335 6 9 0

テーマコード (参考)

专利名称(译)	成像装置，成像装置，内窥镜和内窥镜系统		
公开(公告)号	JP2016051022A	公开(公告)日	2016-04-11
申请号	JP2014175680	申请日	2014-08-29
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	足立理		
发明人	足立理		
IPC分类号	G02B23/24 A61B1/04 H01L27/146 H01L21/822 H01L27/04 H04N5/369		
FI分类号	G02B23/24.B A61B1/04.372 A61B1/04.362.J H01L27/14.A H01L27/04.V H04N5/335.690 A61B1/00.680 A61B1/04.530 A61B1/045.610 A61B1/05 H01L27/146.A H04N5/369		
F-TERM分类号	2H040/DA12 2H040/GA02 2H040/GA06 4C161/AA00 4C161/BB00 4C161/CC06 4C161/DD03 4C161/FF45 4C161/GG01 4C161/JJ06 4C161/JJ15 4C161/LL02 4C161/NN03 4C161/NN05 4C161/SS18 4C161/UU09 4M118/AA10 4M118/AB01 4M118/CA01 4M118/FA06 4M118/HA22 5C024/AX01 5C024/BX02 5C024/CX03 5C024/GY31 5C024/HX01 5C024/HX40 5C024/HX44 5C024/HX47 5F038/AR21 5F038/AV01 5F038/BB05		
代理人(译)	酒井宏明		
其他公开文献	JP6253551B2		
外部链接	Espacenet		

摘要(译)	(21) 出願番号	特願2014-175680 (P2014-175680)	(71) 出願人	000000376
	(22) 出願日	平成26年8月29日 (2014. 8. 29)	(74) 代理人	100089118 弁理士 酒井 宏明
提供了一种成像装置，成像装置，内窥镜和内窥镜系统，其能够补偿每个制造过程的阻抗匹配电阻器的变化。成像单元包括：第一晶体管，具有输入成像信号的栅极;第一电阻器，其一端侧与第一晶体管的输出端子串联连接，并且补偿单元30串联连接到另一端侧并补偿第一电阻器29的电阻值的变化，以将成像信号输出到外部。 .The	(72) 発明者		足立 理	
	Fターム(参考)		東京部渋谷区幡ヶ谷2丁目4番2号 オリンパスメディカルシステムズ株式会社内	
			4C161 AA00 BB00 CC06 DD03 FF45	
			GG01 JJ06 JJ15 LL02 NN03	
			NN05 SS18 UU09	
			4M118 AA10 AB01 CA01 FA06 HA22	
			5C024 AX01 BX02 CX03 GY31 HX01	
			HX40 HX44 HX47	
			5F038 AR21 AV01 BB05	